

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)

(11) Publication number: 2001118988 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11293682

(51) Intl. Cl.: H01L 27/04 H01L 21/822

(22) Application date: 15.10.99

(30) Priority:

(43) Date of application  
publication: 27.04.01(84) Designated  
contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: NAGAOKA HIDEAKI

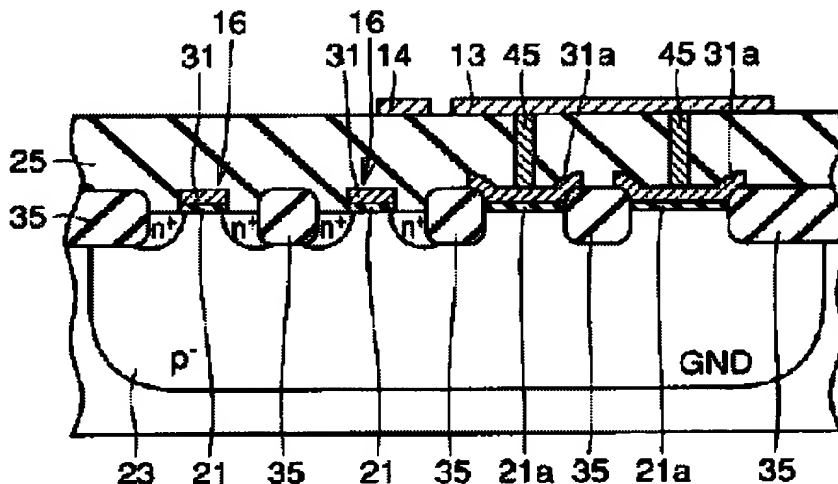
(74) Representative:

**(54) SEMICONDUCTOR  
DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which operates at a low voltage and in which EMI is reduced, without increasing the space factor of the semiconductor device.

**SOLUTION:** Dummy patterns used in a CMP process are arranged in a field dummy area, separated by a separation insulating film in a p-well 23 which is potential-fixed by a ground electrode. The dummy patterns are gate insulating film dummy patterns 21a and gate electrode dummy patterns 31a, which are formed on the same layers of the gate insulating films 21 and the gate electrodes 31 in NMOS transistors 16. Contact plugs 45, to which power electrode (Vcc) wiring 13 is connected, are connected to gate electrode dummy patterns 31a. Thus, a decoupling capacitor formed of the field dummy areas, the gate insulating film dummy patterns 21a and the gate electrode dummy patterns 31a in the p-well 23 is connected to a main electronic circuit in parallel, by using the dummy pattern used in the CMP process.



COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-118988

(P2001-118988A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

ターム(参考)

C 5 F 0 3 8

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号

特願平11-293682

(22) 出願日

平成11年10月15日 (1999. 10. 15)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 長岡 英昭

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 5F038 AC03 AC05 AC15 AZ06 BE07

BE09 BH19 CA02 CA05 CA10

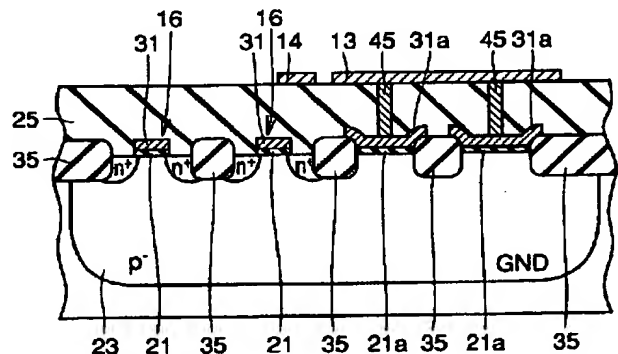
DF12 EZ20

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置の占有面積の増加を伴うことなく、低電圧下においても動作し、かつ、EMIが低減された半導体装置を提供する。

【解決手段】 接地電極により電位固定されているp<sup>-</sup>ウェル23領域内の分離絶縁膜によって分離されたフィールドダミー領域には、CMP工程において利用されるダミーパターンが配置されている。このダミーパターンは、NMOSトランジスタ16のゲート絶縁膜21およびゲート電極31のそれぞれと同一層に形成されたゲート絶縁膜ダミーパターン21aおよびゲート電極ダミーパターン31aである。ゲート電極ダミーパターン31aには、電源電極(Vcc)配線13が接続されたコンタクトプラグ45が接続されている。上記の構成により、CMP工程において用いられるダミーパターンを利用することによって、p<sup>-</sup>ウェル23内のフィールドダミー領域、ゲート絶縁膜ダミーパターン21aおよびゲート電極ダミーパターン31aからなるデカップルコンデンサが主たる電子回路に並列に接続されることとなる。



## 【特許請求の範囲】

【請求項1】 電源電極と接地電極との間において、トランジスタを有する電子回路とデカップルコンデンサとが並列に設けられた半導体装置であって、

前記デカップルコンデンサは、

半導体基板の主表面から所定の深さにかけて形成された不純物領域と、

前記不純物領域の上に位置し、前記トランジスタのゲート絶縁膜と同一層に形成されたダミーゲート絶縁膜と、前記ダミーゲート絶縁膜の上に位置し、前記トランジスタのゲート電極と同一層に形成されたダミーゲート電極とを備えた、半導体装置。

【請求項2】 前記接地電極が、所定のアナログ回路に接続された第1接地電極パッドおよび前記所定のアナログ回路以外の電子回路に接続された第2接地電極パッドを含み、

前記電源電極が、前記所定のアナログ回路に接続された第1電源電極パッドおよび前記所定のアナログ回路以外の電子回路に接続された第2電源電極パッドを含む、請求項1に記載の半導体装置。

【請求項3】 前記接地電極が、前記第1接地電極パッドに接続された第1接地電極ピンおよび前記第2接地電極パッドに接続された第2接地電極ピンを含み、前記電源電極が、前記第1電源電極パッドに接続された第1電源電極ピンおよび前記第2電源電極パッドに接続された第2電源電極ピンを含む、請求項2に記載の半導体装置。

【請求項4】 前記不純物領域が、前記接地電極に電気的に接続されたp型不純物領域であり、前記ダミーゲート電極が、前記電源電極に電気的に接続された、請求項1～3のいずれかに記載の半導体装置。

【請求項5】 前記不純物領域が、前記電源電極に電気的に接続されたn型不純物領域であり、前記ダミーゲート電極が、前記接地電極に電気的に接続された、請求項1～3のいずれかに記載の半導体装置。

【請求項6】 前記不純物領域は、素子分離領域によって分離された素子形成領域および該素子形成領域のダミーパターンであるフィールドダミー領域を含み、前記素子形成領域内には、半導体素子が形成され、前記フィールドダミー領域内には、前記ダミーゲート絶縁膜および前記ダミーゲート電極が形成された、請求項1～5のいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、デカップルコンデンサを有する半導体装置に関するものである。

## 【0002】

【従来の技術】従来から、半導体デバイス微細化技術の一つとして、次工程における写真製版の精度を上げるため、半導体基板上の層間絶縁膜等の表面を研磨により平

坦化するCMP (Chemical Mechanical Polishing) と呼ばれる技術が用いられている。この技術においては、半導体チップ内のゲート電極などのパターン密度が疎な部分では、層間絶縁膜の表面の削りすぎが生じる。また、半導体チップ内のゲート電極などのパターン密度が密な部分では、層間絶縁膜の表面の削りの不足が生じる。そのため、層間絶縁膜の表面に凹凸が形成されてしまうという不都合が生じる。この層間絶縁膜の表面の凹凸の発生を防止する方法として、半導体基板上に形成されるゲート電極などのパターン密度のばらつきを低減する方法が考えられる。そこで、パターン密度のばらつきを低減するために、パターン密度が粗な部分には、回路動作上必要ないダミーゲート電極などのダミーパターンが配置されている。

【0003】上記従来のCMP工程に用いるダミーパターンを用いた半導体装置の構造を図16～図19を用いて説明する。図17および図19に示すように、半導体基板の主表面から所定の深さにかけてp-ウェル123およびn-ウェル119が形成されている。また、図16および図18に示すように、p-ウェル123およびn-ウェル119それぞれの領域内には、分離絶縁膜135により分離形成された素子形成領域が形成されている。素子形成領域には、p+不純物領域およびn+不純物領域がそれぞれ形成されている。

【0004】また、p-ウェル123およびn-ウェル119それぞれの領域内のp+不純物領域およびn+不純物領域それぞれには、コンタクトプラグ140、145が接続されている。コンタクトプラグ140には、接地電極(GND)配線114が接続されている。それにより、p-ウェル123は接地電極により電位固定されている。コンタクトプラグ145には、電源電極(Vc)配線113が接続されている。それにより、n-ウェル119は電源電極により電位固定されている。p-ウェル123およびn-ウェル119の表面が露出している所定の領域内には、ゲート絶縁膜121、129と同一層にゲート絶縁膜ダミーパターン121a、129aが形成されている。また、ゲート電極131、139と同一層にゲート電極ダミーパターン131a、139aが形成されている。

【0005】上記の従来のCMP工程に用いるダミーパターンが形成された半導体装置においては、図16および図17に示すように、ゲート電極形成工程において形成されるゲート電極ダミーパターン131a、139aとゲート絶縁膜形成工程において形成されるゲート絶縁膜ダミーパターン121a、129aとが、平面的に重なった場合に、フローティングの導電層による寄生容量が形成される。このような場合においても、寄生容量は放置されたままである。また、図18および図19に示すように、フローティングの導電層による寄生容量が放置され、電子回路に悪影響を及ぼすことを避けるため

に、ゲート電極ダミーパターン131a, 139aは分離絶縁膜135上に配置されることがある。

【0006】上記のような従来の半導体装置の一般的な等価回路図を図20に示す。従来の半導体装置の回路構成は、図20に示すように、以下のように連続して接続された回路となっている。外部電源電極(Vcc)配線101は、電源電極(Vcc)ピン102に接続されている。電源電極(Vcc)ピン102は、電源電極(Vcc)パッド103に接続されている。また、外部接地電極(GND)配線104は、接地電極(GND)ピン105に接続されている。接地電極(GND)ピン105は、接地電極(GND)パッド106に接続されている。電源電極(Vcc)パッド103と接地電極(GND)パッド106との間には、電子回路108が並列に接続されている。

【0007】外部電源電極(Vcc)配線101と電源電極(Vcc)ピン102との間、および、外部接地電極(GND)配線104と接地電極(GND)ピン105との間には、電源リードフレームの寄生インダクタンス120が形成されている。電源電極(Vcc)ピン102と電源電極(Vcc)パッド103との間、および、接地電極(GND)ピン105と接地電極(GND)パッド106との間には、ボンディングワイヤの寄生インダクタンス130が形成されている。電源電極(Vcc)パッド103と電子回路108とを接続する配線、および、接地電極(GND)パッド106と電子回路108とを接続する配線との間には、寄生抵抗107が形成されている。

【0008】

【発明が解決しようとする課題】上記従来の半導体装置においては、電源リードフレームの寄生インダクタンス120およびボンディングワイヤの寄生インダクタンス130には、急激な電流の変化を妨げようとする方向に電界が発生する。そのため、次の式1で示されるような、電源電極(Vcc)パッド103の電位の降下および接地電極(GND)パッド106の電位の上昇が生じる。

【式1】

$$\Delta V = L \times dI / dt$$

$\Delta V$  : 電位差

L : インダクタンス

I : 電流

t : 時間

また、半導体チップ内においても、式2で示されるような寄生抵抗によって、局所的な電位の降下および上昇が生じている。

【式2】

$$\Delta V = I \times R$$

$\Delta V$  : 電位差

I : 電流

R : 抵抗

上記したような、電源電極(Vcc)パッド103の電位の降下および接地電極(GND)パッド106の電位の上昇を考慮して、半導体装置の動作電圧を設定するため、半導体装置の動作電圧を低減することができないという問題がある。

【0009】また、式1で示されるような電源リードフレームおよびボンディングワイヤを経由して、一の回路から他の回路へ流れる電流の急激な変化によってノイズが発生するために、半導体装置の外部へ電磁波が放射される。この電磁波は、半導体装置の周囲の機器にEMI (Electro Magnetic Interference) を引き起こしている。

【0010】上記の回路内における局所的な電位の降下または上昇および半導体装置と周辺機器とのEMIの発生を抑制する方法として、半導体装置にデカップルコンデンサを設けることが考えられる。しかしながら、デカップルコンデンサを形成するための専用の領域を特別に設けると、半導体装置の占有面積が大きくなってしまいうという問題が生じる。

【0011】本発明は上記の課題を解決するためになされたものであり、その目的は、上記したCMP工程において用いられるダミーパターンを利用することによって、半導体装置の占有面積の増加を伴うことなく、低電圧下においても動作し、かつ、EMIが低減された半導体装置を提供することである。

【0012】

【課題を解決するための手段】請求項1に記載の本発明における半導体装置は、電源電極と接地電極との間において、トランジスタを有する電子回路とデカップルコンデンサとが並列に設けられた半導体装置であって、デカップルコンデンサは、半導体基板の主表面から所定の深さにかけて形成された不純物領域と、不純物領域の上に位置し、トランジスタのゲート絶縁膜と同一層に形成されたダミーゲート絶縁膜と、ダミーゲート絶縁膜の上に位置し、トランジスタのゲート電極と同一層に形成されたダミーゲート電極とを備えている。

【0013】このような構造にすることにより、デカップルコンデンサがトランジスタを有する電子回路に並列に形成されている。そのため、近傍の電子回路のスイッチング動作により、電源電位の降下または接地電位の上昇が生じた場合にも、トランジスタを有する電子回路は、デカップルコンデンサに蓄えられた電荷により瞬時に充電される。そのため、トランジスタを有する電子回路に悪影響を与える電源ノイズの発生を抑制することができる。それにより、動作電圧を小さく設定した場合においても、電子回路の誤動作を防止することができる。その結果、半導体装置の動作電圧の下限を下げるができる。

【0014】また、急激な電流変化を電子回路ごとの電

源線内に閉じ込めることができる。そのため、1つの電子回路で発生したノイズが、電極パッドと電源電極ピンとを接続するボンディングワイヤを経由して他の電子回路に進入するような現象、すなわち、電源系の大きな電流変化は抑制される。それにより、半導体装置外部に放射される電磁波も小さくなる。その結果、半導体装置の周辺機器にEMIを生じさせることが防止される。

【0015】さらに、上記の構造によれば、CMPを実行するときに利用される、ゲート絶縁膜およびゲート電極それぞれと同一層に形成されるダミーパターンであるダミーゲート絶縁膜およびダミーゲート電極を用いてデカップルコンデンサが形成されている。通常、ダミーゲート絶縁膜およびダミーゲート電極は、層間絶縁膜のCMP工程において層間絶縁膜の表面を平坦化するために半導体基板上的ゲート電極が形成されない領域に網羅的に配置されるパターンである。そのため、半導体基板上において独自に特別な領域を占有することなく、デカップルコンデンサを形成することができる。その結果、半導体装置の占有面積の低減を図りながら、低電圧下での誤動作およびEMIの防止を実現することができる。

【0016】請求項2に記載の本発明における半導体装置は、請求項1に記載の半導体装置において、接地電極が、所定のアナログ回路に接続された第1接地電極パッドおよび所定のアナログ回路以外の電子回路に接続された第2接地電極パッドを含み、電源電極が、所定のアナログ回路に接続された第1電源電極パッドおよび所定のアナログ回路以外の電子回路に接続された第2電源電極パッドを含んでいる。

【0017】このような構造にすることにより、所定のアナログ回路と所定のアナログ回路以外の電子回路とが電源電極パッドから接地電極パッドまでにおいてそれぞれ並列に分離されている。そのため、電源電位の降下または接地電位の上昇が生じた場合にも、ノイズは、ボンディングワイヤの寄生インダクタンスを経由して所定のアナログ回路と所定のアナログ回路以外の電子回路とを相互に伝達される。すなわち、ノイズは、電源電極パッドと電極パッドの外部に設けられた電源電極ピンとを接続するボンディングワイヤの寄生インダクタンス、および、接地電極パッドと接地パッドの外部に設けられた接地電極ピンとを接続するボンディングワイヤの寄生インダクタンスを経由して、所定のアナログ回路と所定のアナログ回路以外の電子回路とを相互に伝達されることとなる。

【0018】この寄生インダクタンスは、急激な電流の変化を抑制する機能を有する。それにより、所定のアナログ回路以外の電子回路で発生したノイズが、ノイズによる誤動作を起こし易いアナログ回路に伝わるのが抑制される、すなわち、所定のアナログ回路以外の電子回路内でのノイズの閉じ込め効果が向上する。その結果、所定のアナログ回路以外の電子回路において発生したノ

イズに影響されて、所定のアナログ回路が誤動作することがより確実に防止される。

【0019】請求項3に記載の本発明における半導体装置は、請求項2に記載の半導体装置において、接地電極が、第1接地電極パッドに接続された第1接地電極ピンおよび第2接地電極パッドに接続された第2接地電極ピンを含み、電源電極が、第1電源電極パッドに接続された第1電源電極ピンおよび第2電源電極パッドに接続された第2電源電極ピンを含んでいる。

【0020】このような構造にすることにより、所定のアナログ回路と所定のアナログ回路以外の電子回路とが電源電極ピンから接地電極ピンまでにおいてそれぞれ並列に分離されている。そのため、所定のアナログ回路および所定のアナログ回路以外の電子回路の電源電極パッドと電源電極ピンとの間および接地電極パッドと接地電極ピンの間には、ボンディングワイヤの寄生インダクタンスが、電源電極ピンおよび接地電極ピンの外部には、リードフレームの寄生インダクタンスがそれぞれ存在する。すなわち、所定のアナログ回路以外の電子回路内において発生したノイズは、ボンディングワイヤの寄生インダクタンスおよびリードフレームの寄生インダクタンスの2つのインダクタンスをそれぞれ經由することとなる。その結果、ノイズの閉じ込め効果はさらに向上する、すなわち、電源電位の降下または接地電位の上昇が生じた場合に、所定のアナログ回路以外の電子回路において発生したノイズが所定のアナログ回路に生じることをさらに確実に防止することができる。

【0021】請求項4に記載の本発明における半導体装置は、請求項1～3のいずれかに記載の半導体装置において、不純物領域が、接地電極に電気的に接続されたp型不純物領域であり、ダミーゲート電極が、電源電極に電気的に接続されている。

【0022】請求項5に記載の本発明における半導体装置は、請求項1～3のいずれかに記載の半導体装置において、不純物領域が、電源電極に電気的に接続されたn型不純物領域であり、ダミーゲート電極が、接地電極に電気的に接続されている。

【0023】請求項6に記載の本発明における半導体装置は、請求項1～5のいずれかに記載の半導体装置において、不純物領域は、素子分離領域によって分離された素子形成領域およびこの素子形成領域のダミーパターンであるフィールドダミー領域を含み、素子形成領域内には、半導体素子が形成され、フィールドダミー領域内には、上記のダミーゲート絶縁膜および上記のダミーゲート電極が形成されている。

【0024】このような構造にすることによって、半導体素子を形成するための素子形成領域とデカップルコンデンサの一方の電極となるフィールドダミー領域とが、1つの不純物領域内に形成されることになる。それにより、デカップルコンデンサの一方の電極と接地電極また

は電源電極との接続、および、半導体素子の動作を安定させるように電位固定するためのウェルと接地電極または電極電極との接続の2つの接続を、1つのコンタクトプラグを1つの不純物領域に接続するだけで行なうことができる。その結果、デカップルコンデンサ近傍の領域には、デカップルコンデンサのダミーゲート電極と接地電極とを接続する配線またはデカップルコンデンサのダミーゲート電極と電源電極とを接続する配線のうちいずれか一方を形成するだけでよい。レイアウト設計の自由度が増加する。その結果、半導体装置のレイアウト面積を低減することも可能となる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図に基づいて説明する。

【0026】（実施の形態1）まず、本発明の実施の形態1の半導体装置を、図1～図6を用いて説明する。本実施の形態のCMPダミーパターンを用いた半導体装置の構造を、図1～図5を用いて説明する。図2～図5に示すように、半導体基板の主表面から所定の深さにかけてp-ウェル23およびn-ウェル19が形成されている。また、図1に示すように、p-ウェル23およびn-ウェル19領域内それぞれにおいて、分離絶縁膜35によって、素子形成領域と素子形成領域のダミーパターンであるフィールドダミー領域とが分離形成されている。p-ウェル23およびn-ウェル19それぞれの素子形成領域には、p+不純物領域およびn+不純物領域がそれぞれ形成されている。

【0027】図2に示すように、p-ウェル23およびn-ウェル19それぞれのp+不純物領域およびn+不純物領域には、コンタクトプラグ40、45が接続されている。コンタクトプラグ40には、接地電極（GND）配線14が接続されている。コンタクトプラグ45には、電源電極（Vcc）配線13が接続されている。また、図1に示すように、p-ウェル23およびn-ウェル19それぞれの素子形成領域には、NMOSTランジスタ16およびPMOSTランジスタ15が形成されている。

【0028】また、p-ウェル23には、NMOSTランジスタ16を構成するために、図4に示すように、ゲート絶縁膜21を介してゲート電極31が形成されている。ランジスタが形成されている領域以外のp-ウェル23が露出している半導体基板表面の所定の領域、すなわち、所定のフィールドダミー領域には、ゲート絶縁膜21と同一層にCMP工程のためのゲート絶縁膜ダミーパターン21aが形成されている。このゲート絶縁膜ダミーパターン21aを介して、CMP工程のためのゲート電極ダミーパターン31aがゲート電極31と同一層に形成されている。ゲート電極ダミーパターン31aには、図3および図4に示すように、コンタクトプラグ45が接続されている。コンタクトプラグ45には、電

源電極（Vcc）配線13が接続されている。それにより、所定のフィールドダミー領域を含むp-ウェル23、ゲート絶縁膜ダミーパターン21aおよびゲート電極ダミーパターン31aによって、主たる電子回路に並列に接続されたデカップルコンデンサが形成されている。

【0029】また、n-ウェル19には、PMOSTランジスタ15を構成するために、図5に示すように、ゲート絶縁膜29を介してゲート電極39が形成されている。ランジスタが形成されている領域以外のn-ウェル19が露出している半導体基板表面の所定の領域、すなわち、所定のフィールドダミー領域には、ゲート絶縁膜29と同一層にゲート絶縁膜ダミーパターン29aが形成されている。このゲート絶縁膜ダミーパターン29aを介してゲート電極ダミーパターン39aがゲート電極39と同一層に形成されている。ゲート電極ダミーパターン39aには、図3および図5に示すように、コンタクトプラグ40が接続されている。コンタクトプラグ40には、接地電極（GND）配線14が接続されている。それにより、所定のフィールドダミー領域を含むn-ウェル19、ゲート絶縁膜ダミーパターン29aおよびゲート電極ダミーパターン39aによって、主たる電子回路に並列に接続されたデカップルコンデンサが形成されている。

【0030】上記のような本実施の形態の半導体装置の等価回路図を図6に示す。本実施の形態の半導体装置の回路構成は、図6に示すように、以下のように連続して接続された構成となっている。外部電源電極（Vcc）配線1は、電源電極（Vcc）ピン2に接続されている。電源電極（Vcc）ピン2は、電源電極（Vcc）パッド3に接続されている。また、外部接地電極（GND）配線4は、接地電極（GND）ピン5に接続されている。接地電極（GND）ピン5は、接地電極（GND）パッド6に接続されている。

【0031】また、電源電極（Vcc）パッド3と接地電極（GND）パッド6との間には、電子回路8が並列に接続されている。この電子回路8それぞれに対して並列に、寄生抵抗9、12および寄生容量10、11を有するデカップルコンデンサがそれぞれ接続されるような回路となっている。

【0032】外部電源電極（Vcc）配線1と電源電極（Vcc）ピン2との間、および、外部接地電極（GND）配線4と接地電極（GND）ピン5との間には、リードフレームの寄生インダクタンス20が形成されている。電源電極（Vcc）ピン2と電源電極（Vcc）パッド3との間、および、接地電極（GND）ピン5と接地電極（GND）パッド6との間には、ボンディングワイヤの寄生インダクタンス30が形成されている。電源電極（Vcc）パッド3と電子回路8とを接続する配線、および、接地電極（GND）パッド6と電子回路8

とを接続する配線には、寄生抵抗7が形成されている。

【0033】上記のような構造にすることにより、本実施の形態の半導体装置は、所定のフィールドダミー領域を含むn<sup>-</sup>ウェル19およびp<sup>-</sup>ウェル23、ゲート絶縁膜ダミーパターン21a、29aならびにゲート電極ダミーパターン31a、39aによって構成されたデカップルコンデンサがトランジスタを有する電子回路8に並列に形成されている。そのため、近傍の電子回路8のスイッチング動作により、電源電位の降下または接地電位の上昇が生じた場合にも、PMOSTランジスタ15およびNMOSTランジスタ16を有する電子回路8は、デカップルコンデンサに蓄えられた電荷により瞬時に充電される。そのため、PMOSTランジスタ15およびNMOSTランジスタ16を有する電子回路8に悪影響を与える電源ノイズの発生を抑制することができる。それにより、動作電圧を小さく設定した場合においても、電子回路8の誤動作を防止することができる。その結果、半導体装置の動作電圧の下限を下げるができる。

【0034】また、矢印200で示す電源系の急激な電流変化を、矢印250で示す電子回路8ごとの電源線内に閉じ込めることができる。そのため、1つの電子回路8で発生したノイズが、電源電極(GND)パッド3または接地電極(Vcc)パッド6と電源電極(GND)ピン2または接地電極(Vcc)ピン5とを接続するボンディングワイヤを経由して他の電子回路に進入するような現象、すなわち、電源系の大きな電流変化は抑制される。それにより、半導体装置外部に放射される矢印300で示す電磁波も小さくなる。その結果、半導体装置の周辺機器にEMIを生じさせることが防止される。

【0035】さらに、上記の構造によれば、CMPを実行するときに利用される、ゲート絶縁膜ダミーパターン21a、29aおよびゲート電極ダミーパターン31a、39aを用いてデカップルコンデンサが形成されている。通常、ゲート絶縁膜ダミーパターン21a、29aおよびゲート電極ダミーパターン31a、39aは、層間絶縁膜のCMP工程において層間絶縁膜の表面を平坦化するために半導体基板上のゲート電極21、31が形成されない領域に網羅的に配置されるパターンである。そのため、半導体基板上において独自に特別な領域を占有することなく、デカップルコンデンサを形成することができる。その結果、半導体装置の占有面積の低減を図りながら、低電圧下での誤動作およびEMIの防止を実現することができる。

【0036】また、上記本実施の形態の半導体装置によれば、PMOSTランジスタ15およびNMOSTランジスタ16を形成する素子形成領域とデカップルコンデンサの一方の電極となる所定のフィールドダミー領域とが1つのn<sup>-</sup>ウェル19またはp<sup>-</sup>ウェル23内に形成されることになる。それにより、デカップルコンデンサの

一方の電極と接地電極または電極電極との接続、および、トランジスタの動作を安定させるように電位固定するためのウェルと接地電極または電極電極との接続を、1つのコンタクトプラグを1つの不純物領域に接続するだけで行なうことができる。すなわち、コンタクトプラグ45をn<sup>-</sup>ウェル19に、また、コンタクトプラグ40をp<sup>-</sup>ウェル23に接続するだけで上記の接続を行なうことができる。その結果、p<sup>-</sup>ウェル領域23内のデカップルコンデンサの近傍には、デカップルコンデンサを構成するゲート電極ダミーパターン31と接続される接地電極(GND)配線14を形成するだけで電源電極配線を形成する必要がない。また、n<sup>-</sup>ウェル領域19内のデカップルコンデンサの近傍には、デカップルコンデンサを構成するゲート電極ダミーパターン39aと接続される電源電極(Vcc)配線13を形成するだけで接地電極配線を形成する必要がない。そのため、レイアウト設計の自由度が増加する。その結果、半導体装置のレイアウト面積を低減することも可能となる。

【0037】(実施の形態2)次に、本発明の実施の形態2の半導体装置を、図7～図12を用いて説明する。本実施の形態の半導体装置の構造は、不純物領域の所定のフィールドダミー領域上に形成されたゲート絶縁膜のCMP工程用のダミーパターンおよびゲート電極のCMP工程用のダミーパターンにより構成されたデカップルコンデンサが、主たる電子回路に並列に配置されていることは実施の形態1の半導体装置と同様の構造である。また、本実施の形態の半導体装置の等価回路を図7に示す。本実施の形態の半導体装置の回路構成は、図7に示すように、以下のように連続して接続された構成となっている。

【0038】外部電源電極(Vcc)配線(図示せず)は、電源電極(Vcc)ピン2に接続されている。電源電極(Vcc)ピン2は、電源電極(Vcc)パッド3a、3bにそれぞれ接続されている。また、外部接地電極(GND)配線(図示せず)は、接地電極(GND)ピン5に接続されている。接地電極(GND)ピン5は、接地電極(GND)パッド6a、6bにそれぞれ接続されている。電源電極(Vcc)パッド3a、3bと接地電極(GND)パッド6a、6bとの間には、電子回路8aおよびアナログ回路8bがそれぞれ接続されている。

【0039】外部電源電極(Vcc)と電源電極(Vcc)ピン2との間、および、外部接地電極(GND)配線と接地電極(GND)ピン5との間には、リードフレームの寄生インダクタンスが形成されている。電源電極(Vcc)ピン2と電源電極(Vcc)パッド3a、3bとの間、および、接地電極(GND)ピン5と接地電極(GND)パッド6a、6bとの間には、ボンディングワイヤの寄生インダクタンス30がそれぞれ形成されている。電源電極(Vcc)パッド3a、3bと電子回



路8aおよびアナログ回路8bとを接続する配線、および、接地電極(GND)パッド6a、6bと電子回路8aおよびアナログ回路8bとを接続する配線には、寄生抵抗7a、7bがそれぞれ形成されている。

【0040】また、p型半導体基板に形成されたアナログ回路8bおよび電子回路8aのウェル分離構造の一例の平面が図8に示され、そのIX-IX線断面の構造が図9に示されている。また、n型半導体基板に形成されたアナログ回路8bおよび電子回路8aのウェル分離構造の他の例の平面が図10に示され、そのXI-XI線断面の構造が図11に示されている。

【0041】また、図12に示すように、パッケージ内部の構造は以下のような構造となっている。電源電極(Vcc)ピン2とアナログ回路8bの電源電極(Vcc)パッド3aとがボンディングワイヤ48で接続されているとともに、電源電極(Vcc)ピン2と電子回路8aの電源電極(Vcc)パッド3bとがボンディングワイヤ48で接続されている。また、接地電極(GND)ピン5と電子回路8aの接地電極(GND)パッド6aとがボンディングワイヤ48で接続されているとともに、接地電極(GND)ピン5とアナログ回路用の接地電極(GND)パッド6bとがそれぞれボンディングワイヤ48で接続されている。

【0042】上記のような構造にすることにより、センサンプまたはメモリセルなどのアナログ回路8bと、デジタル回路などの電子回路8aとが、電源電極(Vcc)パッド3a、3bから接地電極(GND)パッド6a、6bまでにおいて、それぞれ並列に分離されている。そのため、電源電位の降下または接地電位の上昇が生じた場合にも、ノイズは、電源電極(Vcc)パッド3a、3bと電源電極(Vcc)ピン2とを接続するボンディングワイヤ48の寄生インダクタンス30a、30b、および、接地電極(GND)パッド6a、6bと接地電極(GND)ピン5とを接続するボンディングワイヤ48の寄生インダクタンス30a、30bを経由して、アナログ回路8bと電子回路8aとを相互に伝達される。

【0043】このボンディングワイヤの寄生インダクタンス30a、30bは、急激な電流の変化を抑制する機能を有する。それにより、電子回路8aで発生したノイズが、ノイズによる誤動作を起こし易いアナログ回路8bに伝わるのが抑制される、すなわち、電子回路8a内でのノイズの閉じ込め効果が向上する。その結果、電子回路8aにおいて発生したノイズに影響されて、アナログ回路8bが誤動作することがより確実に防止される。

【0044】(実施の形態3)次に、本発明の実施の形態3の半導体装置を、図13~図15を用いて説明する。本実施の形態の半導体装置の構造は、不純物領域の所定のフィールドダミー領域上に形成されたゲート絶縁

膜のCMP工程用のダミーパターンおよびゲート電極のCMP工程用のダミーパターンにより構成されたデカップルコンデンサが、主たる電子回路に並列に配置されていることは実施の形態1および2の半導体装置と同様の構造である。また、本実施の形態の半導体装置の等価回路を図13に示す。本実施の形態の半導体装置の回路構成は、図13に示すように、以下のように連続して接続された回路となっている。

【0045】外部電源電極(Vcc)配線(図示せず)は、電源電極(Vcc)ピン2a、2bにそれぞれ接続されている。電源電極(Vcc)ピン2a、2bは、電源電極(Vcc)パッド3a、3bにそれぞれ接続されている。また、外部接地電極(GND)配線(図示せず)は、接地電極(GND)ピン5a、5bにそれぞれ接続されている。接地電極(GND)ピン5a、5bは、接地電極(GND)パッド6a、6bにそれぞれ接続されている。電源電極(Vcc)パッド3a、3bと接地電極(GND)パッド6a、6bと間には、電子回路8aおよびアナログ回路8bがそれぞれ接続されている。外部電源電極(Vcc)配線と電源電極(Vcc)ピン2a、2bとの間、および、外部接地電極(GND)配線と接地電極(GND)ピン5a、5bの間には、リードフレームの寄生インダクタンスが形成されている。

【0046】電源電極(Vcc)ピン2a、2bと電源電極(Vcc)パッド3a、3bとの間、および、接地電極(GND)ピン5a、5bと接地電極(GND)パッド6a、6bとの間には、それぞれボンディングワイヤの寄生インダクタンス30a、30bが形成されている。電源電極(Vcc)パッド3a、3bと電子回路8aおよびアナログ回路8bとを接続する配線、ならびに、接地電極(GND)パッド6a、6bと電子回路8aおよびアナログ回路8bとを接続する配線との間には、寄生抵抗7a、7bがそれぞれ形成されている。

【0047】また、図14に示すように、パッケージ内部の構造は以下のような構造となっている。電子回路8aの電源電極(Vcc)ピン2aと電子回路8aの電源電極(Vcc)パッド3aとがボンディングワイヤ48で接続されている。アナログ回路8bの電源電極(Vcc)ピン2bとアナログ回路8bの電源電極(Vcc)パッド3bとがボンディングワイヤ48で接続されている。電子回路8aの接地電極(GND)ピン5aと電子回路8aの接地電極(GND)パッド6aとがボンディングワイヤ48で接続されている。アナログ回路8bの接地電極(GND)ピン5bとアナログ回路8bの接地電極(GND)パッド6bとがボンディングワイヤ48で接続されている。

【0048】また、図13に示す等価回路がパッケージの外部において短絡した場合、図15に示すように、外部電源電極(Vcc)配線1は、リードフレームの寄生

インダクタンス 20a, 20b それぞれを介して、電源電極 (Vcc) ピン 2a, 2b それぞれに接続される状態となる。外部接地電極 (GND) 配線 4 は、リードフレームの寄生インダクタンス 20a, 20b それぞれを介して接地電極 (GND) ピン 5a, 5b それぞれに接続される状態となる。

【0049】上記のような構造にすることにより、センサアンプまたはメモリセルなどのアナログ回路 8b と、デジタル回路などの電子回路 8a とが、電源電極 (Vcc) ピン 2a, 2b から接地電極 (GND) ピン 5a, 5b までにおいて、それぞれ並列に分離されている。そのため、アナログ回路 8b および電子回路 8a の電源電極 (Vcc) パッド 3a, 3b と電源電極 (Vcc) ピン 2a, 2b とのそれぞれの間および接地電極 (GND) パッド 6a, 6b と接地電極 (GND) ピン 5a, 5b とのそれぞれの間には、ボンディングワイヤの寄生インダクタンス 30a, 30b が、電源電極 (Vcc) ピン 2a, 2b および接地電極 (GND) ピン 5a, 5b それぞれの外部には、リードフレームの寄生インダクタンス 20a, 20b がそれぞれ存在する。その結果、ノイズの閉じ込め効果はさらに向上する、すなわち、電源電位の降下または接地電位の上昇が生じた場合に、電子回路 8a において発生したノイズがアナログ回路 8b に生じることがさらに確実に防止することができる。

【0050】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0051】

【発明の効果】請求項 1 に記載の本発明における半導体装置によれば、ゲート絶縁膜およびゲート電極のダミーパターンを用いてデカップルコンデンサを形成するため、半導体装置の占有面積の低減を図りながら、低電圧下での誤動作および EMI の防止を実現することができる。

【0052】請求項 2 に記載の本発明における半導体装置によれば、所定のアナログ回路と所定のアナログ回路以外の電子回路とは、ノイズが、電源電極パッドと電源電極ピンとを接続するボンディングワイヤの寄生インダクタンス、または、接地電極パッドと接地ピンとを接続するボンディングワイヤの寄生インダクタンスを経由して相互に伝達されるため、所定のアナログ回路以外の電子回路において発生したノイズに影響されて、所定のアナログ回路が誤動作することがより確実に防止される。

【0053】請求項 3 に記載の本発明における半導体装置によれば、所定のアナログ回路および所定のアナログ回路以外の電子回路の電源電極パッドと電源電極ピンとの間および接地電極パッドと接地ピンとの間には、ボン

ディングワイヤの寄生インダクタンスが、電源電極ピンおよび接地電極ピンの外部には、リードフレームの寄生インダクタンスがそれぞれ存在するため、所定のアナログ回路以外の電子回路において発生したノイズが所定のアナログ回路に伝達されることをさらに確実に防止することができる。

【0054】請求項 6 に記載の本発明における半導体装置によれば、半導体素子を形成する素子形成領域とデカップルコンデンサの一方の電極となるフィールドダミー領域とが 1 つの不純物領域に形成されることになるため、レイアウト設計の自由度が増加することによって、半導体装置のレイアウト面積を低減することも可能となる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の半導体装置の平面構造を模式的に示す図である。

【図 2】 図 1 の II-II 線断面を示す図である。

【図 3】 図 1 の III-III 線断面を示す図である。

【図 4】 図 1 の IV-IV 線断面を示す図である。

【図 5】 図 1 の V-V 線断面を示す図である。

【図 6】 本発明の実施の形態 1 の半導体装置の等価回路図である。

【図 7】 本発明の実施の形態 2 の半導体装置の等価回路図である。

【図 8】 本発明の実施の形態 2 の半導体装置のウェル分離の平面構造の一例を模式的に示した図である。

【図 9】 図 8 の IX-IX 線断面を示す図である。

【図 10】 本発明の実施の形態 2 の半導体装置のウェル分離の平面構造の他の例を模式的に示した図である。

【図 11】 図 10 の XI-XI 線断面を示す図である。

【図 12】 本発明の実施の形態 2 の半導体装置の電源電極 (Vcc) ピン、接地電極 (GND) ピン、ボンディングワイヤ、電源電極 (Vcc) パッド、接地電極 (GND) パッドおよびリードフレームの接続状態を示すための図である。

【図 13】 本発明の実施の形態 3 の半導体装置の等価回路図である。

【図 14】 本発明の実施の形態 3 の半導体装置の電源電極 (Vcc) ピン、接地電極 (GND) ピン、ボンディングワイヤ、電源電極 (Vcc) パッド、接地電極 (GND) パッドおよびリードフレームの接続状態を示すための図である。

【図 15】 本発明の実施の形態 3 の半導体装置が、パッケージ外部でショートした状態を示す等価回路図である。

【図 16】 従来の半導体装置の平面構造の一例を模式的に示す図である。

【図 17】 図 16 の XVII-XVII 線断面を示す図である。

【図 18】 従来の半導体装置の平面構造の一例を模式

的に示す図である。

【図19】 図18のXIX-XIX線断面を示す図である。

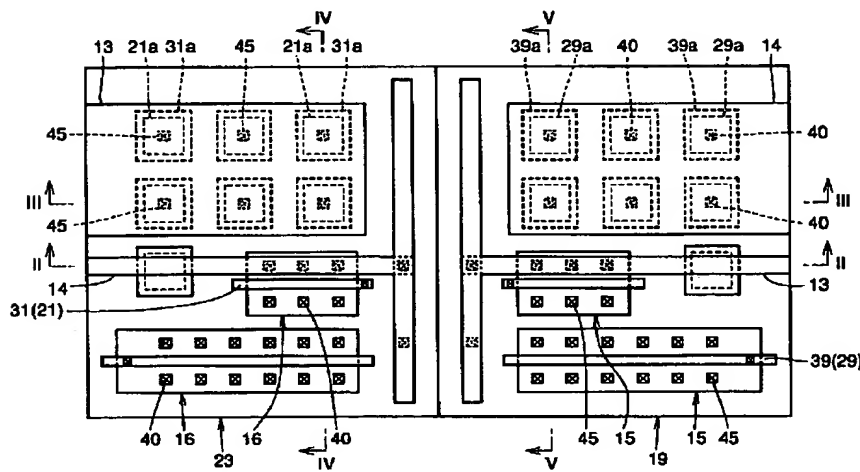
【図20】 従来の半導体装置の等価回路図である。

【符号の説明】

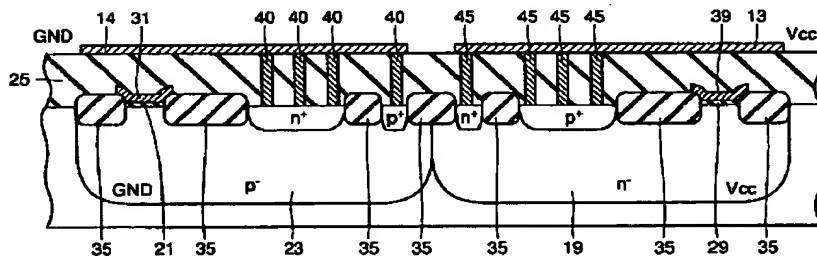
1 外部電源電極 (Vcc) 配線、2, 2a, 2b 電源電極 (Vcc) ピン、3, 3a, 3b 電源電極 (Vcc) パッド、4, 4a, 4b 外部接地電極 (GND) 配線、5, 5a, 5b 接地電極 (GND) ピン、6, 6a, 6b 接地電極 (GND) パッド、7, 7a, 7b 寄生抵抗、8 電子回路、8a アナログ回路、8b 電子回路、9, 9a, 9b, 12, 12a, 12b

寄生抵抗、10, 10a, 10b, 11, 11a, 11b 寄生容量、13 電源電極 (Vcc) 配線、14 接地電極 (GND) 配線、15 PMOSトランジスタ、16 NMOSTランジスタ、19 n<sup>-</sup>ウェル、20, 20a, 20b リードフレームの寄生インダクタンス、23 p<sup>-</sup>ウェル、21, 29 ゲート絶縁膜、21a, 29a ゲート絶縁膜ダミーパターン、30, 30a, 30b ボンディングワイヤの寄生インダクタンス、31, 39 ゲート電極、31a, 39a ゲート電極ダミーパターン、35 分離絶縁膜、40, 45 コンタクトプラグ、48 ボンディングワイヤ。

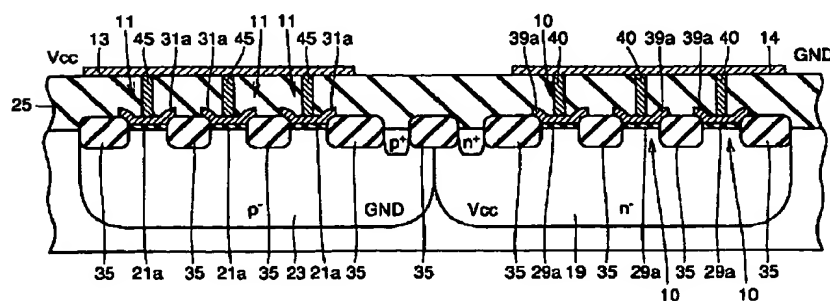
【図1】



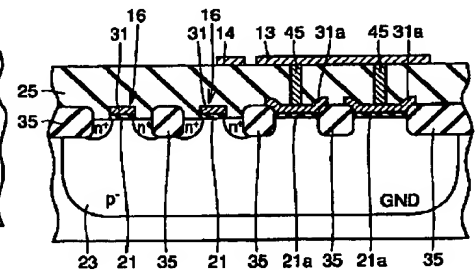
【図2】



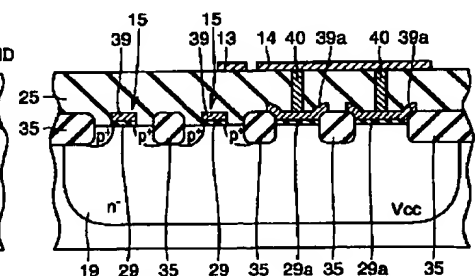
【図3】



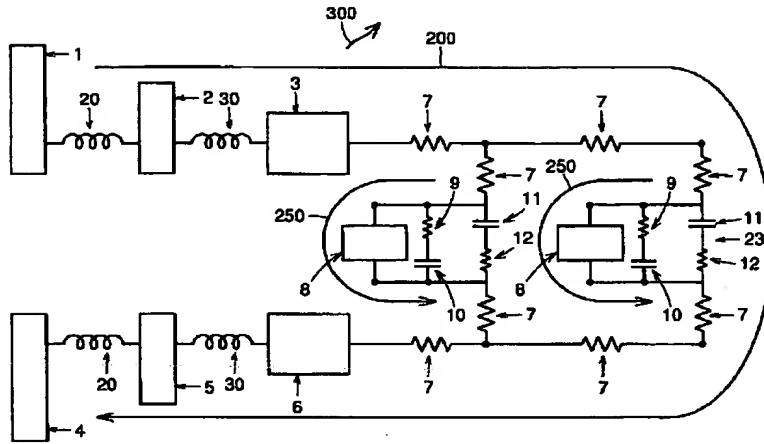
【図4】



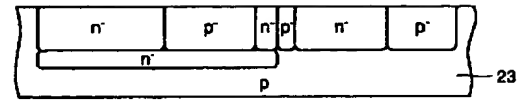
【図5】



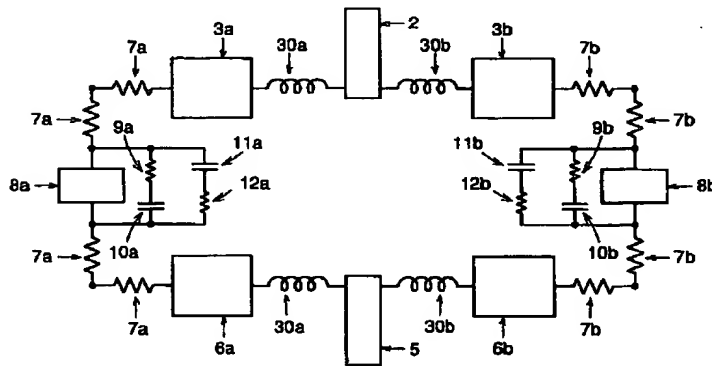
【図6】



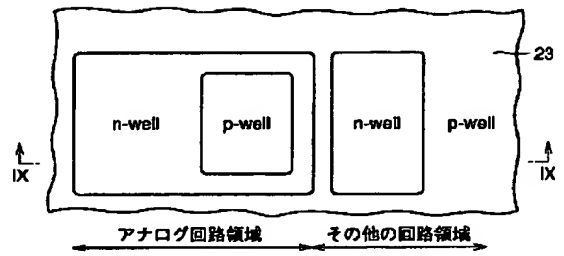
【図9】



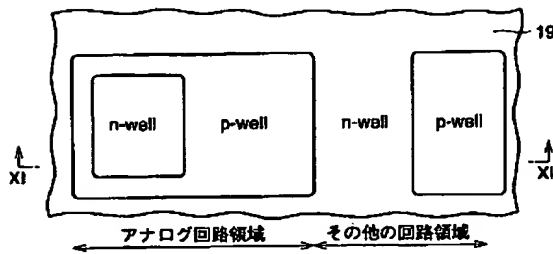
【図7】



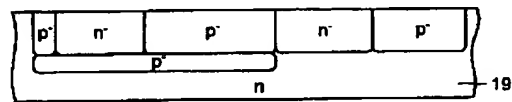
【図8】



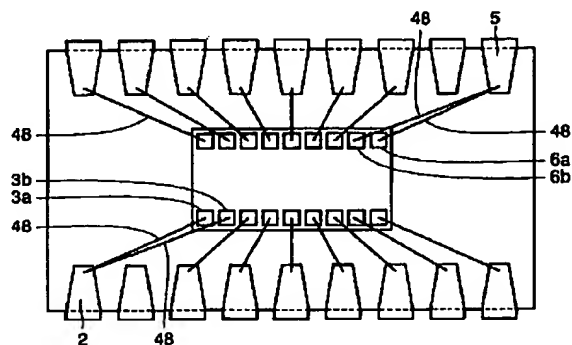
【図10】



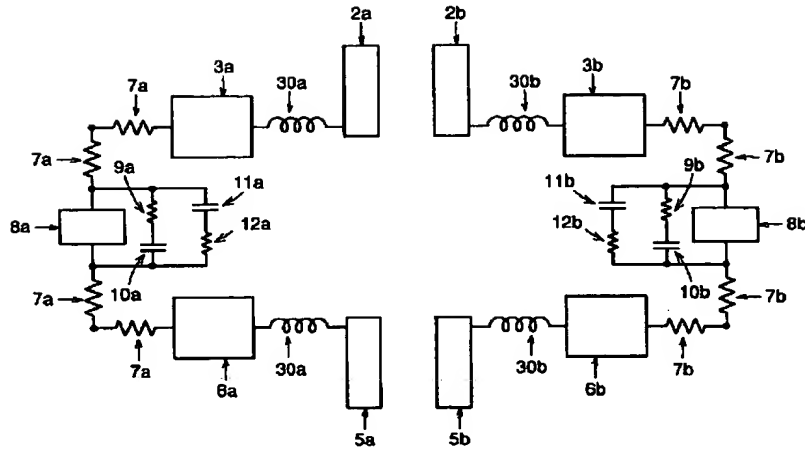
【図11】



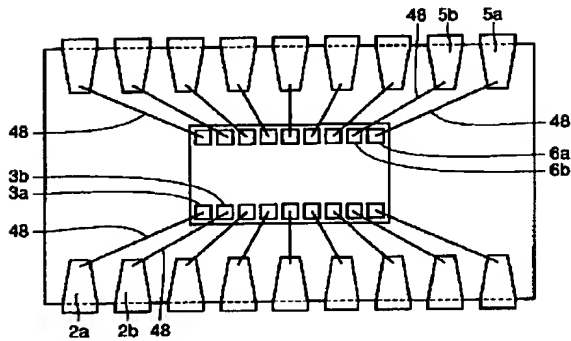
【図12】



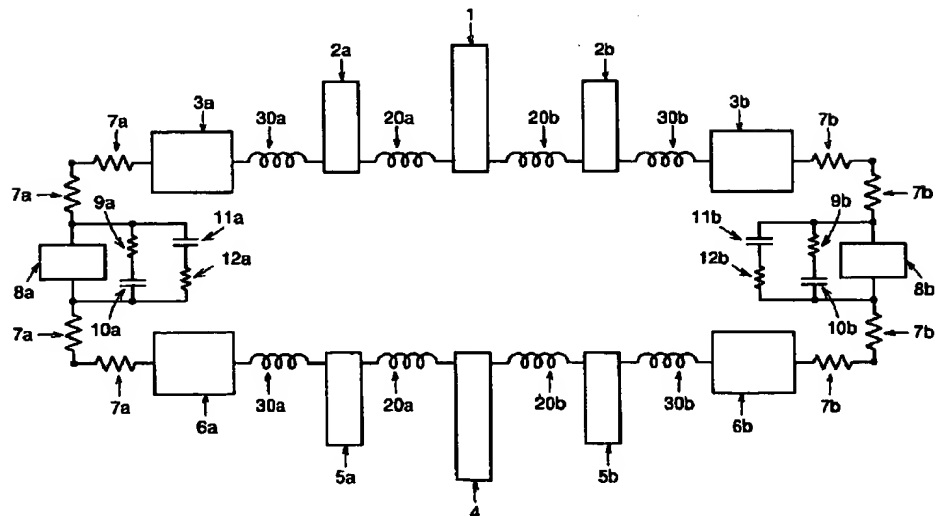
【図13】



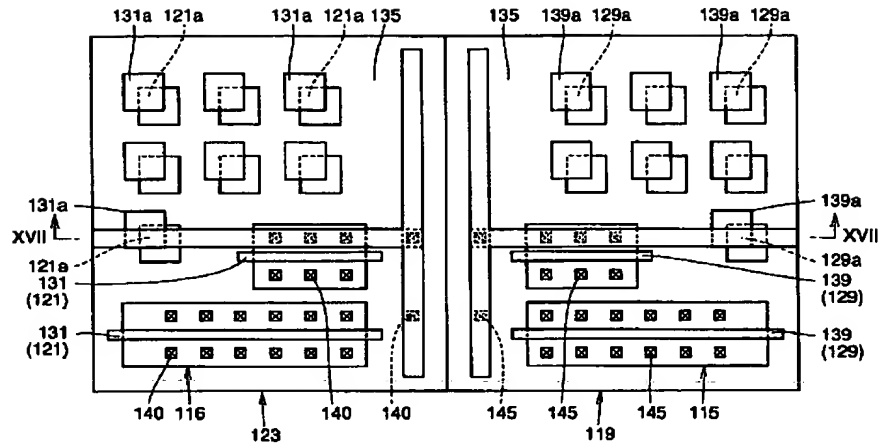
【図14】



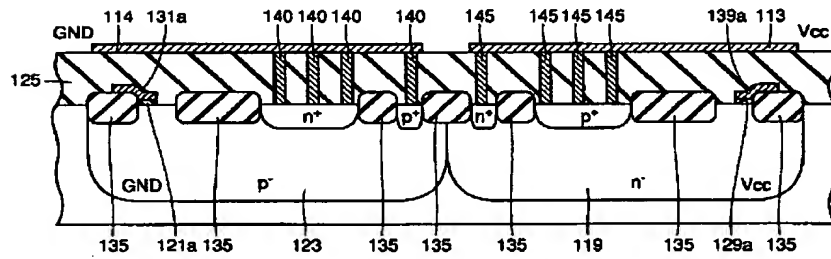
【図15】



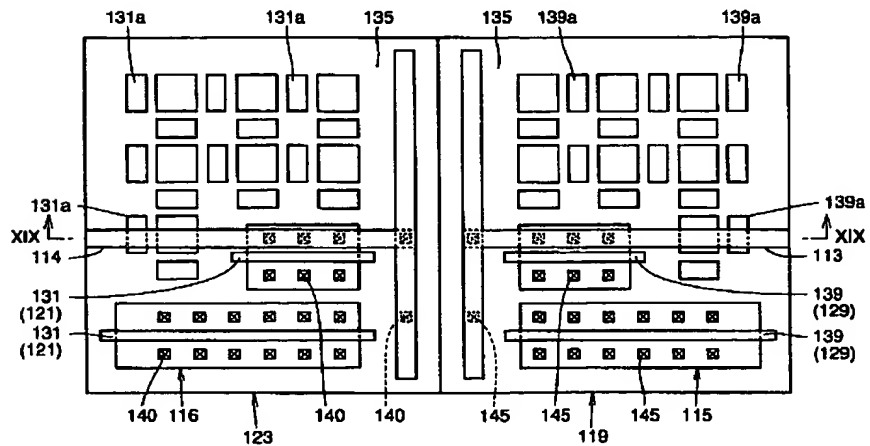
【図16】



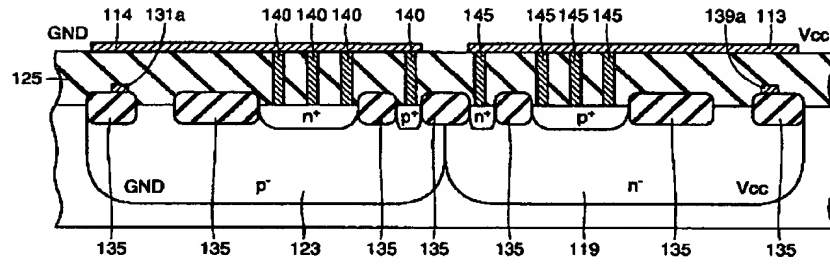
【図17】



【図18】



【図 19】



【図 20】

